

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005年2月17日 (17.02.2005)

PCT

(10) 国際公開番号
WO 2005/015246 A1

(51) 国際特許分類⁷:

G01R 27/26

(72) 発明者; および

(21) 国際出願番号:

PCT/JP2004/011577

(75) 発明者/出願人(米国についてのみ): 八壁 正巳 (YAK-ABE, Masami) [JP/JP]; 〒6600891 兵庫県尼崎市扶桑町1番8号 東京エレクトロン株式会社内 Hyogo (JP).

(22) 国際出願日: 2004年8月5日 (05.08.2004)

(74) 代理人: 新居 広守 (NII, Hiromori); 〒5320011 大阪府大阪市淀川区西中島3丁目11番26号 新大阪末広センタービル3F 新居国際特許事務所内 Osaka (JP).

(25) 国際出願の言語:

日本語

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(26) 国際公開の言語:

日本語

(30) 優先権データ:

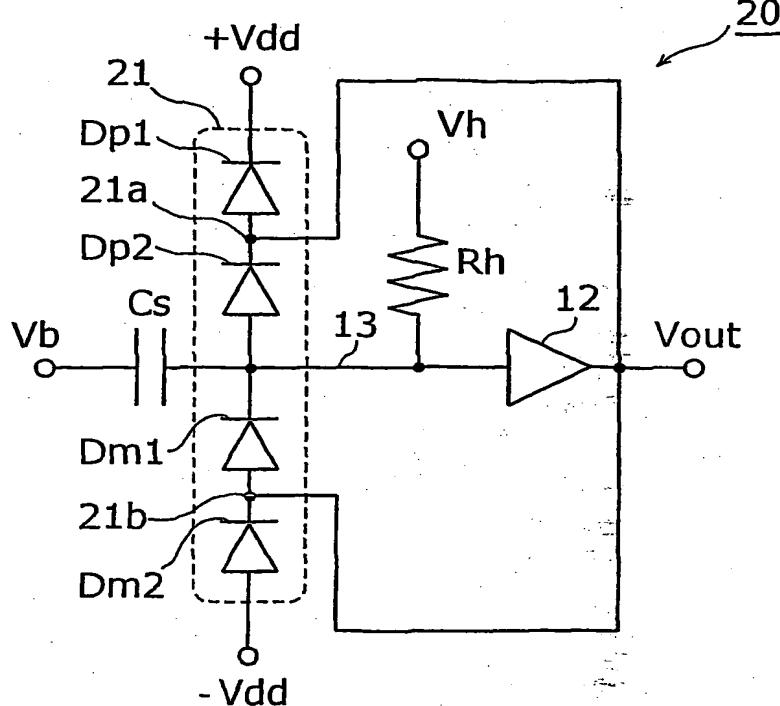
特願2003-287991 2003年8月6日 (06.08.2003) JP

(71) 出願人(米国を除く全ての指定国について): 東京エレクトロン株式会社 (TOKYO ELECTRON LIMITED) [JP/JP]; 〒1078481 東京都港区赤坂五丁目3番6号 Tokyo (JP).

[続葉有]

(54) Title: CAPACITANCE DETERMINING CIRCUIT AND CAPACITANCE DETERMINING METHOD

(54) 発明の名称: 容量検出回路及び容量検出方法



(57) Abstract: A capacitance determining circuit having an input protection circuit and exhibiting a high sensitivity. A capacitance determining circuit (20) for determining the capacitance of a capacitive sensor (Cs), comprising a buffer amplifier (12) connected to the capacitive sensor (Cs) via a signal line (13) and having a voltage amplification ratio of 1; diodes (Dp1, Dp2) series connected between the signal line (13) and a positive power supply (+Vdd); and diodes (Dm1, Dm2) series connected between the signal line (13) and a negative power supply (-Vdd), wherein an output terminal of the buffer amplifier (12) is connected to a junction (21a) of the diodes (Dp1, Dp2) and to a junction (21b) of the diodes (Dm1, Dm2).

(57) 要約: 入力保護回路を備え、かつ、高い感度をもつ容量検出回路を提供する。容量型センサ Cs の容量を検出する容量検出回路 (20) であって、容量型センサ (Cs) に信号線 (13) を介して接続される電圧増幅率が1のバッファアンプ (12) と、信号線 (13) と正電源 (+Vdd) との間に直列に接続されたダイオード (Dp1) 及び (Dp2) と、信号線 (13) と負電源 (-Vdd) との間に直列に接続されたダイオード (Dm1) 及び (Dm2) とを含み、バッファアンプ (12) の出力端子が、ダイオード (Dp1) とダイオード (Dp2) との接続点 (21a) 及び、ダイオード (Dm1) とダイオード (Dm2) との接続点 (21b) に接続されている。

WO 2005/015246 A1



(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ヨーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 國際調査報告書
- 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

BEST AVAILABLE COPY